

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010029842 A  
(43)Date of publication of application: 16.04.2001

(21)Application number: 1020000035336  
(22)Date of filing: 26.06.2000  
(30)Priority: 25.06.1999 US 1999 344825

(71)Applicant: APPLIED MATERIALS INC.  
(72)Inventor: CHAN MEI  
LANDAU ZVI P.  
MIN SHII  
SUURIN WANG

(51)Int. Cl. H01L 21/28

---

## (54) METHOD FOR INTEGRATING TITANIUM/TITANIUM NITRIDE

## (57) Abstract:

PURPOSE: A method for integrating titanium/titanium nitride is provided to achieve high reliability by forming a titanium film on a substrate, forming an intermediate layer comprising silicon on the titanium film, and forming a titanium nitride film at the intermediate layer.

CONSTITUTION: After formation of an intermediate protective layer, processing continues with deposition of a TiN film. The intermediate layer protects a lower layer(204) from the chemical attack during the following TiN deposition with TiCl<sub>4</sub>. The TiSix is chemically adaptive to both Ti and TiN. The intermediate layer is incorporated into the integration process of Ti/TiN so that a film structure with a high reliability, a good barrier layer characteristics, and an excellent TiN step coverage are provided. Generally, the intermediate protective layer can be used with other process for TiN deposition with TiCl<sub>4</sub> as a base, for example, a process comprising plasma reinforced CVD which uses TiCl<sub>4</sub>/N<sub>2</sub>.

&copy; KIPO 2002

Legal Status

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2001-0029842  
H01L 21/28 (43) 공개일자 2001년04월16일

(21) 출원번호 10-2000-0035336  
(22) 출원일자 2000년06월26일  
(30) 우선권주장 9/344,825 1999년06월25일 미국(US)  
(71) 출원인 어플라이드 머티어리얼스, 인코포레이티드 조셉 제이. 스위니  
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050  
(72) 발명자 왕슬린  
미국95051캘리포니아주산타클라라그라나다애브뉴넘버753450  
씨잉  
미국95035캘리포니아주밀피타스보메르웨이138  
랜도즈비피  
미국94306캘리포니아주팔로앨토벤츄라애브뉴넘버22275  
창메이  
미국95070캘리포니아주사라토가코르페드아르퀴엘로12881  
(74) 대리인 특허법인코리아나 박해선, 특허법인코리아나 조영원

심사청구 : 없음

(54) 티타늄/질화티타늄 집적화 방법

요약

막 처리 방법은 중간층을 가지는 집적화 티타늄/질화티타늄(Ti/TiN) 막 구조를 형성하는 단계를 구비한다. 중간층은 Si를 포함하는, 바람직하게는 티타늄 실리사이드(TiSi<sub>2</sub>) 또는 다른 것들 중에서 TiSi<sub>3</sub>O<sub>2</sub>와 같은 Si 및 Ti를 포함하는 재료를 구비한다. 중간층은 사염화티타늄(TiCl<sub>4</sub>)에 기초한 화학을 사용하여 후속의 TiN 적층시 화학적 어택으로부터 하부에 위치한 Ti 막을 보호한다. 본 방법은 훌륭한 TiN 단계 적용범위로 신뢰성있는 Ti/TiN 막 집적화가 달성되도록 한다. 예컨대, 막 구조는 집적 회로 제조에서 효과적인 장벽층으로서 사용될 수 있다.

도표도

도1

색인어

웨이퍼 처리 시스템, 처리 챔버, 진공 펌프, 제어 유닛, 페디스탈

명세서

도면의 간단한 설명

도 1은 본 발명의 실행용으로 사용될 수 있는 장치를 개략적으로 설명한 도면이며,

도 2a 내지 도 2d는 본 발명의 실시시에 따른 막 처리의 서로 다른 단계에서의 기판의 개략적인 단면도이며,

도 3a 내지 도 3d는 본 발명의 다른 실시예에 따른 막 처리의 서로 다른 단계에서의 기판의 개략적인 단면도이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

10 : 웨이퍼 처리 시스템	100 : 처리 챔버
102 : 진공 펌프	106 : 전원
110 : 제어 유닛	130 : 가스 패널
150 : 페디스탈(pedestal)	170 : 히터 소자
172 : 온도 센서	190 : 반도체 웨이퍼

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 처리 방법에 관한 것이며, 보다 자세하게는 집적화된 티타늄/질화티타늄 막 구조를 형성하는 방법에 관한 것이다.

집적 회로의 제조에서, 질화티타늄막은 자주 금속 장벽층으로서 사용되며, 장벽층 아래의 하부에 위치한 재료로 금속이 확산하는 것을 방지한다. 이를 하부에 위치한 재료는 트랜지스터 게이트, 커패시터 유전체, 반도체 기판, 금속 라인 및 집적 회로에서 나타나는 다른 많은 구조를 형성한다.

예컨대, 전극이 트랜지스터 게이트 용으로 형성될 때, 확산 장벽은 종종 게이트 전극 및 전극의 접촉부로서 작용하는 금속 간에 형성된다. 확산 장벽은 폴리실리콘으로 구성될 수 있는 게이트 전극 재료로 금속이 확산되는 것을 방지한다. 이러한 금속 확산은, 트랜지스터의 특성을 변화시키거나, 동작할 수 없도록 할 것이므로, 바람직하지 않다. 예컨대, 티타늄/질화티타늄(Ti/TiN)의 조합은 자주 확산 장벽으로서 사용된다.

Ti/TiN 스택은 또한 트랜지스터의 소스 및 드레인으로서의 접촉을 제공하도록 사용되어 왔다. 예컨대, 텅스텐(W) 플러그 처리에서, Ti 층은 실리콘(Si) 기판 상에 적층되어 Ti 층이 티타늄 실리사이드(TiSi<sub>2</sub>)로 변환되어, Si와의 보다 낮은 접촉 저항을 제공한다. 이후, TiN 층은, 텅스텐 플러그가 형성되기 전에 TiSi<sub>2</sub> 층 상에 형성된다. 장벽 층인 것에 부가하여, TiN 층은, 1) W 적층시, 욱플루오르화 텅스텐(WF<sub>6</sub>)으로 TiSi<sub>2</sub>의 화학적 어택을 방지하며, 2) W 플러그의 접착을 촉진하기 위하여 접착층(glue layer)으로서 작용하는 2가지의 부가적인 기능을 한다.

Ti 및 TiN 막은 물리적 또는 화학 기상 증착으로 형성될 수 있다. Ti/TiN 조합층은 하나의 챔버에 Ti 막을 적층시키고, 이어서 Ti 막을 대기에서 노출시키지 않고서 다른 챔버에서 TiN 막을 적층시킴으로써, 즉 집적화된 Ti/TiN 적층 처리에 의하여 복수의 챔버 "클러스터 수단(cluster tool)"에서 형성될 수 있다. 화학 증기 증착(CVD)을 사용하여 Ti 및 TiN 모두를 증착시키는 경우에서, 예컨대 사염화 티타늄(TiCl<sub>4</sub>) 이, 서로 다른 반응 가스, 예컨대 플라즈마 상태에서의 Ti 증착용 수소(H<sub>2</sub>) 및 TiN 열 증착용 암모니아(NH<sub>3</sub>)와 반응하도록 허용될 때, Ti 및 TiN 막 모두를 형성하는 데 사용될 수 있다.

그러나, TiCl<sub>4</sub>에 기초한 화학이 이러한 집적화 Ti/TiN 막 적층 처리에 사용될 때, 신뢰성 문제가 발생된다. 특히, 집적화 Ti/TiN 스택 구조는, 예컨대 TiCl<sub>4</sub> 또는 TiCl<sub>4</sub>로부터 발생하는 다른 재료로부터 유발될 수 있는 연무(haze)를 제거하거나 또는 나타내는 경향이 있어서 TiN 적층 이전에 Ti막을 화학적으로 어택한다.

그러므로, 종래 기술에서 향상된 막 특성을 가지는 Ti/TiN 처리 집적화의 방법이 필요하다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 티타늄(Ti) 및 질화티타늄(TiN) 막을 구비하는 막구조(즉, 막 스택)를 형성하는 방법에 관한 것이다. 특히, 본 방법은 Ti층 상에 실리콘(Si)을 포함하는, 바람직하게는 Si 및 Ti를 구비하는 중간 보호층을 형성하여, 상기 중간층 상에 TiN 층을 적층시키는 단계를 구비한다.

중간층은 티타늄 실리사이드(TiSi<sub>2</sub>) 또는 다른 것을 중에서 TiSi<sub>2</sub>O<sub>2</sub>를 포함하며 Ti 및 Si 간의 반응으로부터 생성된 다른 "합금된(alloyed)" 재료를 구비할 수 있다. 중간층은 TiCl<sub>4</sub>에 기초한 화학을 사용하는 후속의 TiN 층 적층시 화학적 어택으로부터 하부에 위치한 Ti 층을 보호한다.

TiSi<sub>2</sub>를 구비하는 보호층은, 예컨대 Ti 층 상에 비결정 실리콘 또는 폴리실리콘막을 적층시키고, 상승된 온도에서 Si 및 Ti 막을 어닐링함으로써 형성된다. Si막 및 Ti층의 정상부 간의 반응은 Ti층 상에 보호층이 형성되도록 한다. 또는, 중간 보호층은 또한 사염화티타늄(TiCl<sub>4</sub>) 및 실란(SiH<sub>4</sub>) 간의 반응으로부터 TiSi<sub>2</sub>를 직접 적층시킴으로써 형성될 수 있다.

TiN은 이어서, 중간층 상에, 예컨대 사염화티타늄(TiCl<sub>4</sub>) 및 암모니아(NH<sub>3</sub>) 간의 반응을 사용하여 형성된다. 중간층은 하부에 위치한 Ti층을 보호하며, TiN 적층시 Ti층의 화학적 어택이 경감된다. 본 발명은 하부에 위치한 구조에 걸쳐 등각(等角)의 TiN 층의 형성을 유발하며, 집적 회로 제조에서 신뢰성 있는 Ti/TiN 처리 집적 회로의 대안적인 접근을 제공한다.

본 발명은 첨부된 도면을 참조하여 다음의 상세한 설명을 고려함으로써 쉽게 이해될 수 있다.

이해를 돕기 위하여, 가능하다면 도면에 공통된 동일한 요소를 나타내도록 동일한 참조번호가 사용되었다.

### 발명의 구성 및 작용

본 발명은 향상된 신뢰성을 가지는 Ti/TiN 스택 및 TiN 층의 양호한 단계 적용 범위(step coverage)를 야기하는 티타늄(Ti)/질화티타늄(TiN) 처리 집적화를 위한 방법이다. 특히, 본 방법은 Ti 및 TiN 층 간에 실리콘(Si)을 구비하는, 바람직하게는 Si 및 Ti, 예컨대 티타늄 실리사이드(TiSi<sub>2</sub>)를 구비하는 보호층 형성 단계를 구비한다. 중간 TiSi<sub>2</sub> 보호층의 사용은, 막 특성 및 단계 적용 범위 모두를 위하여 최적화된 처

리 조건하에서 TiN 막이 형성되도록 한다. 일반적으로, 중간 보호층은 또한 TiSi<sub>2</sub> 외에, Ti 및 Si 간의 반응으로부터 생성된 TiSi<sub>3</sub>O<sub>2</sub> 같은 다른 재료 또는 Ti 및 Si 요소를 포함하는 다른 재료를 구비할 수 있다. 재료를 포함하는 이들 Si- 및 Ti-는 일반적으로 "Ti-Si 합금된" 재료로 칭할 것이다.

일 실시예에서, Ti-Si 합금된 재료를 구비하는 보호층은 Ti층 상에 Si막을 적층하며, 예컨대 약 600°C의 고온에서 상기 층을 노출시킴으로써 형성된다. 특정 처리 시퀀스에 따라, "Ti-Si 합금된" 보호층으로의 Si 막의 변환은 Si 적층 단계에서 또는 후속의 고온 처리 단계에서 실행될 수 있다. 예컨대, Si가 약 600°C 이상에서 실란으로부터 적층되는 경우, Ti-Si 합금된 중간층은 Si 적층시에 형성될 것이다. 그러나, Si층이 약 500°C에서 디실란(disilan)으로부터 적층되는 경우, 약 600°C 이상에서 후속 단계는 Ti-Si 합금된 보호층을 형성하도록 요구된다. 이것은 분리된 어닐링 단계로서 또는 후속의 TiN 덮 적층 시에 행해질 수 있다. 또는, TiSi<sub>2</sub>를 구비하는 보호층은, 예컨대 TiCl<sub>4</sub> 및 실란(SiH<sub>4</sub>) 또는 디실란(SiH<sub>2</sub>) 같은 실리콘을 함유하는 가스 간의 반응을 사용함으로써 Ti층 상에 직접 형성될 수 있다. 이 집적화 기술에서 Ti-Si 합금된 재료 또는 TiSi<sub>2</sub>를 포함하는 층을 채용하는 미점들 중의 하나는 Ti 및 TiN 적층 모두를 가지는 처리 및 화학적 양립성이다.

#### 웨이퍼 처리 시스템

도 1은 본 발명의 실시예를 실행하는 데 사용될 수 있는 웨이퍼 처리 시스템(10)을 개략적으로 도시한 것이다. 시스템(10)은 전원(106) 및 진공 펌프(102)와 같은 다른 하드웨어 요소와 함께, 진공 챔버(100), 가스 패널(130) 및 제어 유닛(110)을 구비한다. 처리 챔버(100)의 일에는, 1998년 12월 14일 출원된 미국 특허 공개 No. 09/211,998, "고온 화학 기상 증착 챔버(High Temperature Chemical Vapor Deposition Chamber)"에 이미 개시되어 있는 TiN 챔버이며, 여기서 참조용으로 인용되었다. 시스템(10)의 몇몇 중요한 특성은 아래에 간략히 설명된다.

#### 챔버(100)

처리 챔버(100)는 일반적으로 처리 챔버(100) 내의 반도체 웨이퍼(190)와 같은 기판을 지지하는 데 사용되는 지지 페디스탈(pedestal)(150)을 구비한다. 이 페디스탈(150)은 통상적으로 변위 메카니즘(미도시)을 사용하여 챔버(100) 내에서 수직 방향으로 이동될 수 있다. 특정 처리에 따라, 웨이퍼 기판(190)은 처리 이전에 요망되는 온도로 가열되어야 한다. 예시적인 챔버에서, 웨이퍼 지지 페디스탈(150)은 삽입된 히터(170)에 의하여 가열된다. 예컨대, 페디스탈(150)은 AC 전원(106)으로부터 히터 소자(170)로 전기 전류를 인가함으로써 저항적으로 가열될 수 있다. 웨이퍼(190)는 차례로 페디스탈(150)에 의하여 가열되며, 예컨대 450°C 내지 750°C의 처리 온도 범위 내에 유지될 수 있다. 열전쌍과 같은 온도 센서(172)는 또한 웨이퍼 지지 페디스탈(150)에 삽입되어 통상적인 방식으로 페디스탈(150)의 온도를 모니터한다. 예컨대, 측정된 온도는 피드백 루프에서 사용되며, 웨이퍼 온도가 특정 처리 적응을 위하여 적합한 요망되는 온도에서 유지되거나 제어될 수 있도록 가열 소자(170)를 위하여 전원(106)을 제어할 수 있다.

가스 패널(130)을 통한 가스 플로우(flow)의 적절한 제어 또는 조절은 질량 플로우 제어기(미도시) 및 컴퓨터 같은 제어기 유닛(110)으로 실행된다. 샤워헤드(120)는 가스 패널(130)로부터의 처리 가스를 균일하게 분포시켜 챔버(100)로 도입되도록 허용한다. 예시적으로, 제어 유닛(110)은 중앙 처리 장치(CPU)(112) 및 연관된 제어 소프트웨어(116)를 기억하기 위한 메모리를 포함하는 지지 회로(114)를 구비한다. 이 제어 회로(110)는, 웨이퍼 전달, 가스 플로우 제어, 온도 제어, 챔버 배출(evacuation) 등과 같은 웨이퍼 처리용으로 요구되는 다수의 단계의 자동 제어의 역할을 한다. 시스템(10)의 제어 유닛(110) 및 다양한 요소 간의 쌍방향 통신은, 도 1에 몇몇이 도시되어 있는 신호 버스(118)로서 집합적으로 칭하는 다수의 신호 케이블을 통하여 제어된다.

진공 펌프(102)는 처리 챔버(100)를 비우며, 챔버(100) 내의 적절한 가스 플로우 및 압력을 유지하는 데 사용된다. 처리 가스가 챔버(100)로 도입되는 샤워헤드(120)는 웨이퍼 지지 페디스탈(150) 상부에 위치된다. 본 발명에 사용되는 "이중 가스(dual-gas)" 샤워헤드(120)는 두 개의 분리된 경로 또는 가스 라인을 포함하며, 두 가스를 미리 혼합시키지 않고 챔버(100)로 분리되어 도입되도록 허용한다. 샤워헤드(120)의 세부 사항은 1998년 6월 16일 출원된 미국 특허 공개 No. 09/098,969 "반도체 웨이퍼 처리 시스템에서 샤워헤드를 위한 이중 가스 페이스 플레이트(Dual Gas Faceplate for a Showerhead in a Semiconductor Wafer Processing System)"에 개시되었으며, 여기에 참조용으로 인용되었다. 이 샤워헤드(120)는 질량 플로우 제어기(미도시)를 통하여 처리 시퀀스의 서로 다른 단계에서 사용되는 다양한 가스를 제어하고 공급하는 가스 패널(130)에 연결된다. 웨이퍼 처리시, 퍼지 가스 공급(evacuation)은 또한, 페디스탈(150)의 바닥부 주위에서, 예컨대 불활성 가스 같은 퍼지 가스를 제공하여 요망되지 않는 적층이 페디스탈(150) 상에 형성되는 것을 최소화한다.

#### Ti/TiN 막 집적화

도 2a 내지 도 2c는 본 발명의 바람직한 일 실시예를 도시한다. 일반적으로, 기판(200)은 막 처리가 실행되는 모든 가공물(workpiece)에 관련되며, 기판 구조(250)는 일반적으로 기판(200) 상에 형성된 다른 재료층과 함께 기판(200)을 나타낸다. 처리 단계의 특정 단계에 따라, 기판(200)은 실리콘 반도체 웨이퍼 또는 상기 웨이퍼 상에 형성된 다른 재료층일 수 있다. 도 2a는, 예컨대 이미 실리콘 웨이퍼 기판(200) 상에 형성된 재료층(202) 상에 Ti 막(204) ("막" 및 "층"이라는 용어는 상호 교환적으로 사용된다)을 가지는 기판 구조(250)의 단면도이다. 이 특정 예시에서, 재료층(202)은 통상적으로 형성되고 패턴화되어 기판(200)의 정상면(200T)으로 연장하는 접촉 홀(202H)을 제공하는 산화물(예컨대, SiO<sub>2</sub>)일 수 있다. Ti 막(204)은 플라즈마 강화 화학 기상 증착(PECVD) 또는 물리적 증기 증착(PVD)과 같은 통상적인 Ti 증착 처리에 의하여 기판 구조(250) 상에 적층될 수 있다.

적층된 Ti 막(204)은 또한, 접촉 홀(202H)의 바닥부(202B)에서 기판(200)의 일부와 접촉한다. 플라즈마 적층 Ti 막(204)의 비등각 성질로 인하여, 접촉 홀(202H)의 측벽(202S)은 어떠한 Ti에 의하여도 덮여지지 않는다. Ti 적층이 통상적으로 600°C 내지 700°C 간의 고온에서 PECVD를 사용하여 수행된다면,

반응은 접촉 홀(202H)의 바닥부(202B)에서 Ti 막(204) 및 실리콘 기판(200) 간에 발생할 것이다. 이 것은 도 2b에 도시된 바와 같이, 티타늄 실리사이드(TiSi<sub>2</sub>)층(205)이 형성되도록 한다. 또는, Ti 막(204)이 PVD를 사용하여 적층된다면, 접촉 홀(202H)의 바닥부(202B)에서의 TiSi<sub>2</sub> 층(205)은 후속의 막 처리 이전에 또는 처리 동안 분리된 급속 열 처리 단계에서 형성될 수 있다. Ti 막 적층 방법이 본 발명의 실행에 결정적이지 않으므로, 예컨대 표면 거칠기와 같은 Ti 막(204)의 특성은 후속의 막 적층에 사용되는 프로세스 조건의 선택에 영향을 미칠 수 있다.

Ti 막(204)이 형성된 후, Si 박막(206)(예컨대, 비결정 또는 폴리실리콘)이 도 2b에 도시된 바와 같이, 고온에서 Ti 막(204) 상에 적층된다. Si 적층은, 예컨대 Ti 또는 TiN 적층용으로 사용되는 챔버에서 실란(SiH<sub>4</sub>) 또는 디실란(Si<sub>2</sub>H<sub>6</sub>)과 같은 전조 가스를 사용하여 열적 CVD로 실행될 수 있다. Si 막(206)은 통상적으로 20 sccm 내지 200 sccm의 전조 유속 범위에서와, 5 토르 내지 20 토르의 압력 범위에서와, 약 500°C 내지 700°C의 온도 범위에서 형성될 수 있다. 그러나, 전조 가스(SiH<sub>4</sub>)에 대하여, 600°C 내지 700°C의 온도 범위가 바람직하다. 처리가 도 1에 도시된 바와 같이, 이중 가스 샤워헤드(120)를 가지는 챔버(100)에서 실행될 때, 희석 가스나 샤워헤드(120)의 두 가스 라인(미도시)을 경유하여 챔버(100)로 공급된다. 일 실시예에서, 예컨대 1 내지 10 slm의 N<sub>2</sub> 희석 가스 플로우 하나의 가스 라인에서 SiH<sub>4</sub>와 함께 형성되는 반면, N<sub>2</sub> 또는 He 같은 불활성 가스가 1 내지 10 slm의 플로우 범위에서 제 2 가스 라인에 공급된다. 제 2 가스 라인에서 가스 플로는 우선 선택되며, 가스 라인으로서의 가스의 잠재적인 역 플로우(back flow)를 최소화하며, 하나 이상의 불활성 가스를 구비할 수 있다. 다른 것들 중에서 수소(H<sub>2</sub>) 및 아르곤(Ar) 같은 다른 가스가 SiH<sub>4</sub>로부터 Si CVD 적층과 양립할 수 있는 한, 또한 사용될 수 있다. 더욱 바람직하게는, 실리콘 적층은, 약 10 토르의 전체 압력에서 및 약 680°C의 페디스틸 온도에서, 하나의 가스 라인에 약 50 sccm의 SiH<sub>4</sub> 유속 및 약 2000 sccm의 N<sub>2</sub>가 있으며, 다른 하나의 가스 라인에 약 1000 sccm의 N<sub>2</sub> 및 1000 sccm의 He 유속이 있는 상태에서 실행된다. 약 1000 sccm의 불활성 퍼지 가스 플로우(예컨대, 아르곤)은 또한 퍼지 가스 공급(104)(도 1 참조)으로부터 제공되며 요망되지 않는 적층이 페디스틸(150) 상에 형성되는 것을 최소화한다.

효과적인 중간 보호층을 형성하기 위하여 요구되는 Si 막(206)의 두께는 하부에 위치한 Ti 막(204)의 표면 거칠기에 좌우되며, 차례로 Ti 막 두께에 의존한다. 일반적으로, 보다 두꺼운 Ti 막(204)은 보다 큰 표면 거칠기를 가지며, 따라서 보다 두꺼운 Si 층(206)이 필요하다. 적층된 Si 층(206)은 훌륭한 단계 적용 범위를 가지므로, 약 20Å의 두께는 통상적으로 150Å 두께의 Ti 막(204)용으로 충분하다. Si 막(206)은 후속하여 고온에서, 예컨대 600°C 이상에서 어닐링함으로써 하부에 위치한 Ti 층(204)의 표면층(204S)(도 2b에 점선으로 나타냄)과 반응하도록 한다. 반응은 도 2c에 도시된 바와 같이, TiSi<sub>2</sub>, TiSi<sub>3</sub>, 또는 Ti 및 Si를 포함하는 다른 "합금된" 재료를 구비할 수 있는 중간층(208)의 형성을 초래한다(여기서, X 및 Y는 일반적으로 Ti에 관한 각각의 Si 및 O의 양을 나타낸다). 이 설명에서, 중간층(208)은 또한 산화층(202)이 산소 소스를 제공하므로 TiSi<sub>2</sub>O<sub>2</sub>를 구비한다. 산소 소스가 없는 다른 실시예에서, TiSi<sub>2</sub>O<sub>2</sub>는 중간층(208)에서 형성되지 않을 것이다. 대신, 다른 "Ti-Si 합금된" 재료는 특징 기판 구조(250)에 좌우하여 존재할 수 있다. Si 층(206)으로부터 중간층(208)의 형성은 분리된 처리 단계로서 또는 후속의 TiN 적층 단계의 일부로서 발생할 수 있다. 예컨대, 도 2b에 도시된 기판 구조(250)가, 600°C 이상에서 유지되는 처리 챔버(100)의 가열된 페디스틸(150) 상으로 위치될 때, Si 막(206) 및 Ti 표면층(204S) 간의 반응이 발생할 것이다. 통상적으로, 20Å 두께의 Si 막(206)은 약 50Å의 중간층(208)을 야기할 것이다. 고온 어닐링 동안, 반응은 또한 TiSi<sub>2</sub> 층(205)에 걸쳐 위치한 Si 층(206) 사이에 발생하여 TiSi<sub>2</sub>의 다른 층(207)을 형성한다. 측벽(202S)에 인접한 남아있는 Si 막(206)은 접촉 저항에 상당부분 영향을 미치지 않을 것이다.

중간 보호층(208)의 형성 이후, 처리는 도 2d에 도시된 바와 같이, TiN 막(210)의 적층과 함께 계속된다. TiN 막(210)은, 예컨대 도 1의 챔버(100)에서 TiCl<sub>4</sub> 및 NH<sub>3</sub>의 반응을 사용하는 CVD로 형성될 수 있다. 일 실시예에서, 헬륨(He) 및 질소(N<sub>2</sub>)는 샤워헤드(120)의 하나의 경로(가스 라인)를 경유하여 TiCl<sub>4</sub>와 함께 챔버(100)로 도입된다. N<sub>2</sub>와 함께 NH<sub>3</sub>는 샤워헤드(120)의 제 2 경로를 경유하여 챔버(100)로 도입된다. He 및 N<sub>2</sub>는 일반적으로 "희석" 가스로서 첨가하며, 아르곤(Ar) 또는 다른 불활성 가스 또한 샤워헤드(120)의 하나의 가스 라인 내에 단독으로 또는 조합하여(즉, 가스 혼합으로서) 사용될 수 있다. 약 200sccm의 바닥 불활성 가스 퍼지 플로우(예컨대, 아르곤)는 또한 챔버(100)의 바닥부에 제공된 분리된 가스 라인 및 가스 공급(104)을 통하여 형성된다. 통상적으로, 반응은 5-40 sccm의 TiCl<sub>4</sub>, 증기 유속에서와, 500-2000 sccm의 He 가스 유속 및 500-5000 sccm의 N<sub>2</sub> 유속에서와, 500-5000 sccm의 N<sub>2</sub> 유속 및 50-500 sccm의 NH<sub>3</sub> 유속에서와, 3-30 토르의 전체 압력 범위 및 600°C 이상의(예컨대, 600°C 내지 700°C) 페디스틸 온도에서 실행될 수 있다. 또는, 약 0.1 ~ 0.5 범위에서의 TiCl<sub>4</sub> : NH<sub>3</sub> 증기 유속이 또한 수용가능하다. 더욱 바람직하게는, TiN 막(210)은, 약 1000 sccm He 및 1000 sccm N<sub>2</sub>에서 약 20 sccm(약 170 mg/min. 액체 유속)의 TiCl<sub>4</sub>, 증기 유속에서와, 약 2000 sccm에서의 N<sub>2</sub> 및 약 100 sccm에서의 NH<sub>3</sub> 유속에서와, 약 10 토르의 전체 압력 및 약 680°C의 온도에서 적층된다. 이들 처리 조건 하에서, TiN 막(210)은 약 3.5:1의 가로세로비에 대하여 적어도 95%의 단계 적용범위를 나타낸다(가로세로비는 TiN 적층이 발생하는 개구부(202H)의 깊이(d) 및 너비(w) 간의 비율로서 정의된다). 중간층(208)의 존재는 후속의 TiCl<sub>4</sub>에 기초한 TiN 적층 단계시 화학적 머택에 대하여 하부에 위치한 Ti 층(204)을 보호한다. TiSi<sub>2</sub>(또는 Ti-Si 합금 재료)는 Ti 및 TiN 모두와 화학적으로 양립하므로, Ti/TiN 접착을 처리에서 중간층(208)의 협동은 고신뢰성을 가지는 막 구조와, 양호한 장벽층 특성 및 훌륭한 TiN 단계 적용 범위를 유발한다. 일반적으로, 본 발명의 중간 보호층은, 예컨대 다른 것들 중에서 TiCl<sub>4</sub>/N<sub>2</sub>를 사용하는 플라즈마가 향상된 CVD를 포함하는 TiN 적층을 위한 다른 TiCl<sub>4</sub>에 기초한 처리와 연관되어 사용될

수 있다.

도 3a 내지 도 3d는 본 발명의 다른 실시예를 도시하며, 집적 회로 제작 시퀀스의 서로 다른 단계를 경험하는 기판(200)의 단면도이다. 도 3a는 하부에 위치한 패턴화된 재료층(202) 상에 있으며, 접촉 홀(202H)의 바닥부(202B)에서 기판(200)과 접촉하는 Ti 막(204)을 도시한다. 도 2a와 관련하여 이미 설명한 바와 같이, Ti 막(204)은 우선 패턴화된 층(202)의 정상부(202T) 및 접촉 홀(202H)의 바닥부(202B)를 덮는다. 예시적인 일 실시예에서, Ti 막(204)은, 도 3b에 도시된 바와 같이, 접촉 홀(202H)의 바닥부(202B)에서 Ti 막(204)이 후속의 고온(예컨대 600°C 이상)에서 TiSi<sub>2</sub> 층(205)으로 변환될 수 있는 경우에 PVD로 형성될 수 있다.

도 3c는 Ti 막(204) 및 TiSi<sub>2</sub> 층(205) 상에 형성된 보호층(306)을 도시한다. 보호층(306)은, 예컨대 후속의 TiN 막 적층시 하부에 위치한 Ti 막(204)의 어택을 방지하는 데 효과적인 티타늄 실리사이드(TiSi<sub>3</sub>) 또는 TiSi<sub>3</sub>O<sub>2</sub> 같은 다른 Ti-Si "합금된" 재료를 구비할 수 있다. 본 발명의 일 실시예에서, 주로 TiSi<sub>3</sub>를 구비할 수 있는 중간층(206)은 약 650°C 내지 약 750°C의 온도 범위에서 또는 바람직하게는 약 680°C의 히터 온도에서 TiCl<sub>4</sub> 및 실란(SiH<sub>4</sub>) 간의 반응을 사용하여 Ti 막(204) 상에 직접 적층된다. 반응은, TiCl<sub>4</sub> 및 SiH<sub>4</sub>가 이중 가스 샤워헤드(120)를 경유하여 챔버로(100) 분리되어 도입되는, 도 1에 도시된 바와 유사한 처리 챔버(100)에서 실행될 수 있다. 반응은 약 1-5 sccm의 TiCl<sub>4</sub> 유속 범위에서와, 10-50 sccm의 SiH<sub>4</sub> 유속 범위에서와, 1-20 토르의 전체 압력 범위에서 수행될 수 있다. 적층률을 증가시키며 적층막에서 염소 성분을 감소시키기 위하여, 약 5 slm의 수소(H<sub>2</sub>) 플로우가 사용될 수 있다. 또는, 실리콘 요소, 예컨대 디클로로실란(SiH<sub>2</sub>Cl<sub>2</sub>)을 구비하는 다른 가스 또한 SiH<sub>4</sub> 대신에 사용될 수 있어서 TiCl<sub>4</sub>와 반응하며, 처리 조건은 특정 요구를 충족시키도록 조정될 수 있다. 보호 TiSi<sub>3</sub> 층(306)은, 예컨대 20 Å 내지 100 Å의, 더욱 바람직하게는 약 50 Å의 두께를 가질 수 있다.

중간층(306)의 형성후, TiN 층(308)은 도 3d에 도시된 바와 같이, 보호층(306) 상에 적층된다. TiN 층(308)의 적층은 도 2d와 관련하여 이미 설명되었다.

이후, Ψ 플러그(미도시)는, 예컨대 WF<sub>6</sub> 및 H<sub>2</sub> 간의 반응을 사용하여 도 3d의 TiN 층(308) 또는 도 2d의 TiN 층(210) 상에 형성된다. Ψ 플러그층의 부착력은 TiN 접착층이 존재함으로써 향상된다.

상기 논의에서 개시된 특정 처리 조건은 예시적인 목적만을 위한 것이다. 전조 및 불활성 가스, 플로우 범위, 압력 및 온도와 같은 처리 파라미터의 다른 조합은 또한, 본 발명의 집적화된 Ti/TiN 막 구조를 형성하는 데 사용될 수 있으며, Ti 및 Si 요소를 포함하는 중간 보호층을 채용한다.

본 발명의 사상과 협동하는 몇몇 바람직한 실시예가 상세히 도시되고 설명되어도, 당업자는 본 발명의 사상과 여전히 협동하는 다수의 다양한 실시예를 쉽게 고안할 수 있다.

#### 발명의 효과

본 발명은 박막 처리 방법에 관한 것이며, 보다 자세하게는 집적화된 티타늄/질화티타늄 막 구조를 형성하는 방법에 관한 것이며, 집적 회로의 제조에서, 질화티타늄막은 자주 금속 장벽층으로서 사용되며, 장벽층 아래의 하부에 위치한 재료로 금속이 확산하는 것을 방지한다.

#### (57) 청구의 범위

청구항 1. (a) 기판 상에 티타늄막을 형성하는 단계와,

(b) 상기 티타늄막 상에 실리콘을 구비하는 중간층을 형성하는 단계와,

(c) 상기 중간층 상에 질화티타늄막을 형성하는 단계를 구비하는 것을 특징으로 하는 집적 회로 제조를 위한 박막 적층 방법.

청구항 2. 제 1 항에 있어서, 단계 (b)의 상기 중간층은 티타늄을 더 구비하는 것을 특징으로 하는 방법.

청구항 3. 제 1 항에 있어서, 상기 단계 (b)는,

(d) 상기 티타늄막 상에 실리콘막을 형성하는 단계와,

(e) 상기 실리콘막 및 상기 티타늄막을 상승된 온도에 노출시켜 상기 실리콘막 및 상기 티타늄막 간의 반응을 유발하여 상기 중간층을 형성하는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 4. 제 3 항에 있어서, 상기 단계 (d)는 실란(SiH<sub>4</sub>), 디실란(Si<sub>2</sub>H<sub>6</sub>) 및 디클로로실란(SiCl<sub>2</sub>H<sub>2</sub>)을 포함하는 군으로부터 선택된 가스의 존재 하에 실행되는 것을 특징으로 하는 방법.

청구항 5. 제 3 항에 있어서, 상기 단계 (d)는 약 600°C ~ 700°C의 온도에서 SiH<sub>4</sub>의 존재 하에 실행되는 것을 특징으로 하는 방법.

청구항 6. 제 3 항에 있어서, 상기 단계 (d)는 20 sccm 내지 200 sccm의 SiH<sub>4</sub> 유속 및 5 토르 내지 20 토르의 압력에서 실행되는 것을 특징으로 하는 방법.

청구항 7. 제 3 항에 있어서, 상기 단계 (d)는 약 50 sccm의 SiH<sub>4</sub> 유속에서와, 적어도 1000 sccm의 불활성 가스 유속에서와, 약 10 토르의 전체 압력에서 및 약 680°C의 온도에서 실행되는 것을 특징으로 하는 방법.

청구항 8. 제 1 항에 있어서, 상기 단계 (b)는,

(f) 사염화티타늄( $TiCl_4$ )과 실리콘을 구비하는 가스를 반응시키는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 9. 제 8 항에 있어서, 실리콘을 구비하는 상기 가스는 실란( $SiH_4$ ) 또는 디실란( $Si_2H_6$ )인 것을 특징으로 하는 방법.

청구항 10. 제 8 항에 있어서, 상기 단계 (f)는 1~5 sccm의  $TiCl_4$  유속에서와, 10~50 sccm의  $SiH_4$  유속에서와, 650℃~750℃ 의 온도에서 실행되는 것을 특징으로 하는 방법.

청구항 11. 제 1 항에 있어서, 상기 단계 (c)는,

(g) 사염화티타늄( $TiCl_4$ )과 질소 요소(N)를 구비하는 가스를 반응시키는 단계를 더 구비하는 것을 특징으로 하는 방법.

청구항 12. 제 11 항에 있어서, 질소(N)를 구비하는 상기 가스는 암모니아( $NH_3$ )인 것을 특징으로 하는 방법.

청구항 13. 제 12 항에 있어서, 상기 단계 (g)는 0.1 ~ 0.5 의  $TiCl_4 : NH_3$  증기 유속에서 실행되는 것을 특징으로 하는 방법.

청구항 14. 제 12 항에 있어서, 상기 단계 (g)는 약 5~40 sccm의  $TiCl_4$  증기 유속 범위에서 및 약 50~500 sccm의  $NH_3$  유속 범위에서 실행되는 것을 특징으로 하는 방법.

청구항 15. (a) 실리콘 기판 상에 산화층을 가지는 기판 구조를 제공하는 단계와,

(b) 상기 산화층의 정상면으로부터 상기 실리콘 기판의 정상면까지 연장하는 접촉 홀을 형성하는 단계와,

(c) 상기 산화층 및 상기 실리콘 기판의 적어도 일부 상에 티타늄(Ti)막을 형성하는 단계와,

(d) 상기 Ti 막 상에 실리콘을 구비하는 중간층을 형성하는 단계와,

(e) 사염화티타늄( $TiCl_4$ )의 존재하에 상기 중간층 상에 질화티타늄(TiN)막을 형성하는 단계를 구비하는 것을 특징으로 하는 집적 회로 제조에서 사용을 위한 장벽층 형성 방법.

청구항 16. 제 15 항에 있어서, 상기 단계 (d)는,

(f) 단계 (c)의 상기 Ti 막 상에 실리콘막을 형성하는 단계와,

(g) 상승된 온도에 상기 실리콘막 및 상기 Ti 막을 노출시켜 상기 실리콘막 및 상기 Ti 막 간의 반응을 유발하여 상기 중간층을 형성하는 단계를 구비하는 것을 특징으로 하는 형성 방법.

청구항 17. 제 15 항에 있어서, 상기 중간층은 티타늄 실리사이드를 구비하는 것을 특징으로 하는 형성 방법.

청구항 18. 제 16 항에 있어서, 단계 (f)의 상기 실리콘막은 실란( $SiH_4$ ) 또는 디실란( $Si_2H_6$ )의 화학 기상 증착으로 형성되는 것을 특징으로 하는 형성 방법.

청구항 19. 제 15 항에 있어서, 단계 (d)의 상기 중간층은, 실란 또는 디실란으로부터 선택된 가스와 사염화티타늄( $TiCl_4$ )을 반응시킴으로써 형성되는 것을 특징으로 하는 형성 방법.

청구항 20. (a) 기판 상에 티타늄막을 형성하는 단계와,

(b) 상기 티타늄막 상에 실리콘을 구비하는 중간층을 형성하는 단계와,

(c) 상기 중간층 상에 질화티타늄막을 형성하는 단계를 구비하는 박막 적층 방법을 사용하는 적층 챔버를 범용 컴퓨터가 실행시에, 제어하도록 하는 소프트웨어 루틴을 포함하는 컴퓨터 기록 매체.

청구항 21. 제 20 항에 있어서, 단계 (b)의 상기 중간층은 티타늄을 더 구비하는 것을 특징으로 하는 컴퓨터 기록 매체.

청구항 22. 제 20 항에 있어서, 상기 단계 (b)는,

(d) 상기 티타늄막 상에 실리콘막을 형성하는 단계와,

(e) 상승된 온도에 상기 실리콘막 및 상기 티타늄막을 노출시켜 상기 실리콘막 및 상기 티타늄막 간의 반응을 야기하여 상기 중간층을 형성하는 단계를 구비하는 것을 특징으로 하는 컴퓨터 기록 매체.

청구항 23. 제 20 항에 있어서, 상기 단계 (b)는,

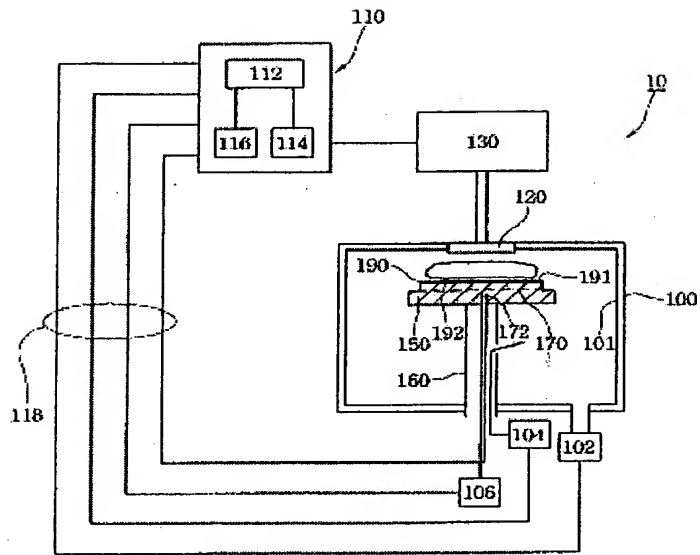
(f) 사염화티타늄( $TiCl_4$ )과 실리콘을 구비하는 가스를 반응시키는 단계를 구비하는 것을 특징으로 하는 컴퓨터 기록 매체.

청구항 24. 제 20 항에 있어서, 상기 단계 (c)는,

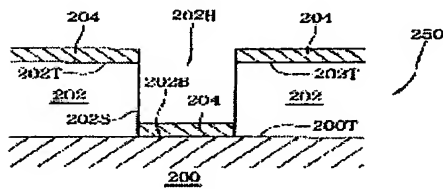
(g) 사염화티타늄( $TiCl_4$ )과 질소 요소(N)를 구비하는 가스를 반응시키는 단계를 더 구비하는 것을 특징으로 하는 컴퓨터 기록 매체.

도면

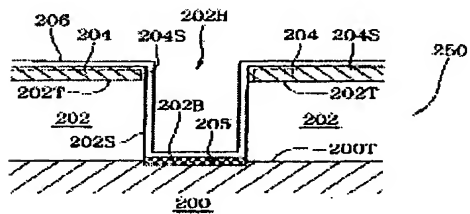
도 1



도 2a

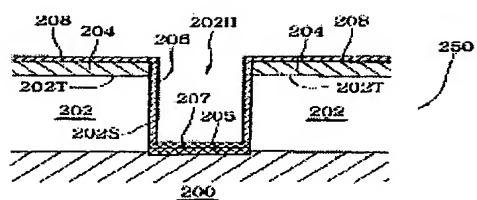


도 2b

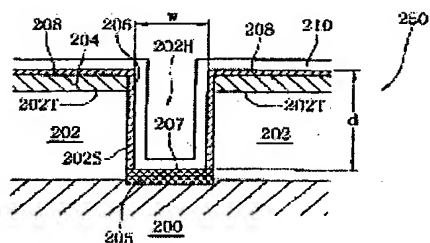




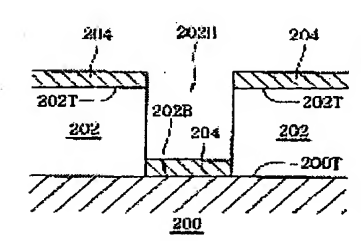
도 B2b



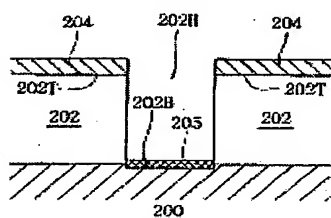
도 B2d



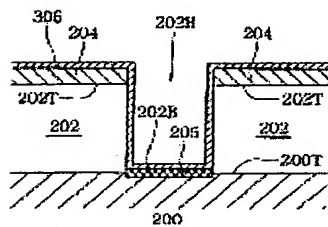
도 B3a



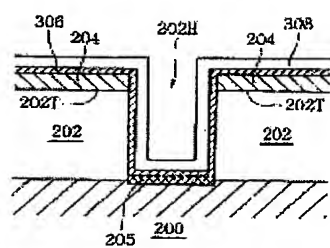
도 B3b



도 B3c



도 13d



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**